

基于 Scilab 的数字电路设计工具设计

Design of EDA Tool Based on Scilab

宁夏大学物理电气信息学院 张冬 康彩

摘要: 设计和开发了一种基于 Scilab 的数字电路设计工具, 该系统利用 Scilab 的 SCICOS 引擎, 可以完成数字电路模型的建模、仿真直至 VHDL 代码生成。给出了系统在 Scilab 环境中二次开发编程的设计和实现过程。最后给出了一个利用该系统设计和验证数字电路的应用实例。

关键词: VHDL; EDA; SCILAB/SCICOS; 软硬件联合设计

中图分类号: TP311 **文献标识码:** A

Abstract A digital circuit design system as an EDA tool is introduced, the design of this system is based on the Scicos of Scilab. It has three main functions:1)digital circuit system modeling;2)circuit model simulation;3)converting to the standard VHDL codes. The programmable design and implementation of the further development of this system running in Scilab environment and an application example to prove the system is introduced.

Key words VHDL; EDA; SCILAB/SCICOS; Hardware/Software co-design

引言

近几年通过 EDA (电子设计自动化) 涉及方法和工具的逐步应用, 大大缩短了电子电路的设计时间。目前 EDA 软件种类繁多但都价格昂贵, 大大影响了 EDA 的普及和应用, 因此开发开放源码的 EDA 工具有重要意义。

1. 基于 Scilab 的数字电路设计工具

Scilab 是法国 INRIA(国家信息与自动控制研究所)开发的开发源码科学计算软件 [1]。Scilab 和 MATLAB 比较接近, 它主要侧重于控制系统计算机辅助设计, 语句格式也和 MATLAB 类似。Scicos 是 Scilab 内置的图形化仿真工具包, 类似于 MATLAB 中的 Simulink。选择 Scilab, 主要是考虑到以下几点。首先, Scicos 中建模和仿真的交互式环境完全是可视化和图形化的, 用户只需将表示一定的运算函数的模块用连线连接起来, 而无须了解模块内部的实现机制, 就可以方便地实现一个控制系统; 其次, Scilab/ Scicos 是自由软件, 源代码开放, 在开发和使用过程中有利于解决自主知识产权问题, 也有利于软件的成长和完善。我们希望最终达到的目的是: 用户在 Scilab / Scicos 环境下对电子电路进行高级描述, 并可对自己的设计方案进行系统仿真和修正, 然后通过编译生成基于 VHDL 的 RTL 级结构模型。该模型可通过各种商业化的 IC-CAD 接口, 最终产生对应于所描述系统的硬件平台。通过使用这样的开发工具, 用户在设计集成电路系统时, 即使不了解硬件电路的内部细节, 甚至不了解 VHDL 语言, 也可以根据自己的需要进行电子电路的设计 [2]。基于 Scilab/SCICOS 我们实现了数字电路的设计工具 EDA Model Builder, 使用其设计数字电路的流程如下图:

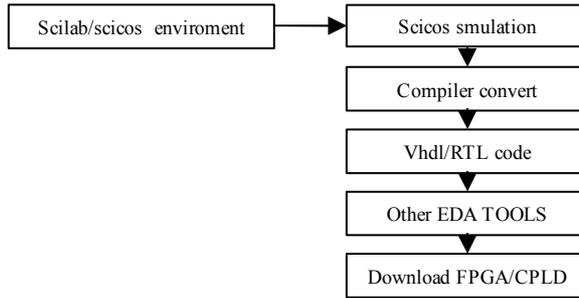


图 1 电路设计流程图

1.1 基于 Scilab 的数字电路设计工具体系结构

Scilab/Scicos 没有硬件仿真能力，通过添加模块库和 COFS to VHDL 编译器我们实现了数字电路模型的建模、仿真直至 VHDL 代码生成。其总体结构见下图：

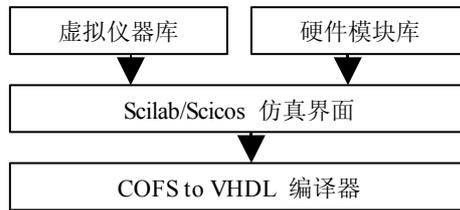


图 2 总体结构图

1.2 几个关键问题的讨论

1.2.1 建立 EDA 基础模块库和虚拟仪器库

Scilab 提供了多种机制[7]来实现 Scicos 仿真元件的添加。

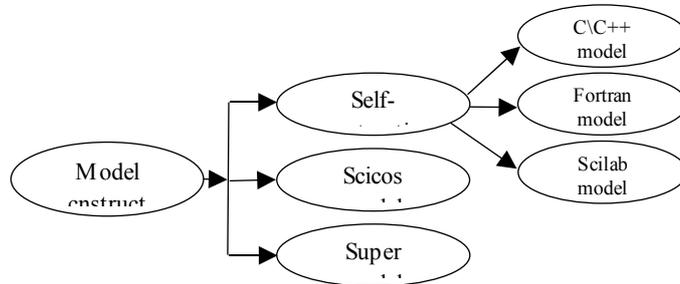


图 3 Scilab/SCICOS 模块扩展的方式

Scilab/Scicos 的可自定义模块类别分三种：超级模块（**Super models**）、自定义模块（**Self-construction**）、Scilab/scicos 编写的模块（**Scicos models**），在本系统的硬件模块库和虚拟仪器库的开发采用 C++ 开发的自定义模块。

Scilab/Scicos 的模块包含两部分，为了进行硬件仿真和代码编译，我们将其扩展为三个部分，每个模块包括三个函数，分别如图所示：

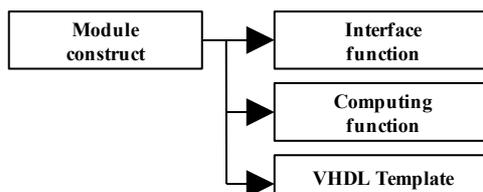


图 4 扩展模块结构图

分别是界面函数（**Interface function**）、功能函数（**Computing function**）和 VHDL 模板

函数 (VHDL Template)。

设计规则

- 位宽设计原则：在设计中，必须根据具体情况规定输入和输出数据口的位宽，即源端口与目标端口的数据位宽。一旦确定了输入端的数据位宽，convert 就会通过各中间模块把数据位宽从源端口向目标端口传递。
- 频率设计规则：(1). 单时钟设计规则：在 Scicos 设计转换成硬件描述语言的系统过程中，EDA Model Builder 将使用同步设计规则，即在设计系统中的所有 EDA Model Builder 时序模块，如 Delay 模块，都以单一时钟的上升沿同步工作，这个时钟频率即为整个系统的采样频率。对于有些同步时序的模块，其时钟引脚不会直接显示在 Scicos 设计图上，但当 convert 将设计系统转化为 VHDL 文件时，才自动地把时序模块的时钟引脚都连在一起，并与系统的单一时钟相接。(2). 如果某一模块具有来自多个模块的不同频率的时钟驱动，则此模块(目标模块)将在 Scilab 仿真文件中采用其中最高频率的时钟。
- 取名规则：EDA Model Builder 模块的命名必须遵循 VHDL 的命名规则。

EDA 基础模块库为 Scilab/Scicos 提供了硬件建模元件，在硬件模块库中我们添加了如下模块：门级模块组、算术模块组、基础模块组、总线模块组、时序模块组。虚拟仪器库在 Scicos 硬件仿真时提供电路信号的发生和检测，在虚拟仪器库中我们添加了示波器模块组、信号发生器模块组、计数器模块组。

1.2.2 COFS to VHDL 门级代码编译器的开发

COFS to VHDL 门级代码编译器模块是整个软件的核心，它把 Scilab/scicos 的仿真模块编译为门级的 VHDL 代码。编译器的任务是从 COFS 文件里取得仿真模块的结构和参数，转换为门级的 VHDL 代码。编译处理的步骤如下：(a) 读取 cosf 文件；(b) 数据位宽传递；(c) 模块数目识别；(d) 模块连接定位；(e) 模型端口定义；(f) 模型文件映射；(g) VHDL 代码全局优化。整个编译过程遵守以下事项：(a) 每个模型的时钟设计在转换为 VHDL 时采用时钟的上升沿；(b) 多时钟模型时，采用最高的频率；(c) 每个模块都有各自的 VHDL 代码模板和仿真行为描述；(d) 门级可综合代码的实现采用模型中门级 VHDL 代码模板完成；(e) 转换后整合各个模块的代码，生成一个标准的 VHDL 代码[8]。

软件的工作流程如图：

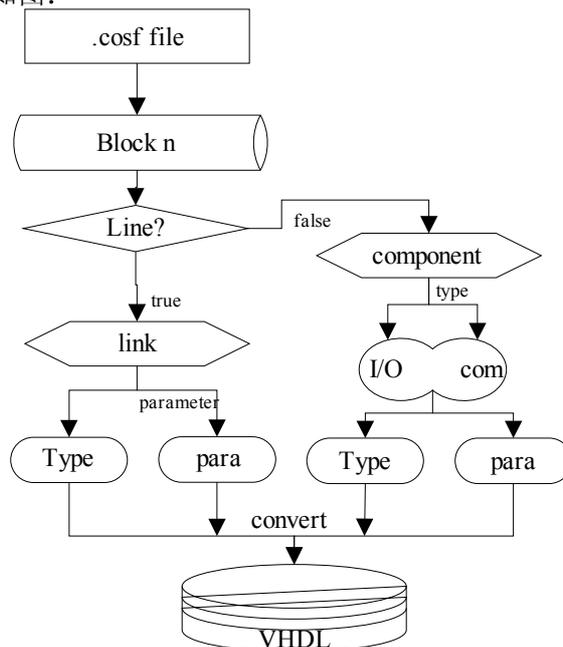


图5 代码编译流程

采用在 VHDL 设计的元件调用的方法，可以不用安装另外一个库。转换后，在当前设定的目录下，转换为 VHDL 所有的文件。Convert 对于每一个 EDA Model Builder 的 HDL 子系统模块产生一个单独的 VHDL 文件，这些文件都有独立的实体和结构体。EDA Model Builder 产生的 VHDL 文件中的实体名位置具有全局性，所有的子系统名必须是唯一的。

COFS to VHDL 门级代码编译器采用 Windows 平台 使用 Visual C++ 6.0 实现。

2. 测试实例

2.1 实例：IIR 滤波器

IIR 数字滤波器是指输入输出均为数字信号，通过一定运算关系改变输入信号所含频率成分的相对比例或者滤除某些频率成分的器件。下面是在 EDA Model Builder 上实现 IIR 数字滤波器的方法。

2.2 测试环境和结果

我们采用 EDA Model Builder 实现了 IIR 滤波器的设计：随机序列产生的信号经过乘法器、延时、增益，累加器，最后输出随机序列，仿真结果在虚拟示波器显示出来。其 SCICOS 模型如图 6，见好模型后对其进行了仿真测试，图 7 和图 8 分别是对原始的随机序列信号和原始信号加噪声干扰后的经 IIR 滤波结果。图 9 为 COFS to VHDL 编译器操作界面。

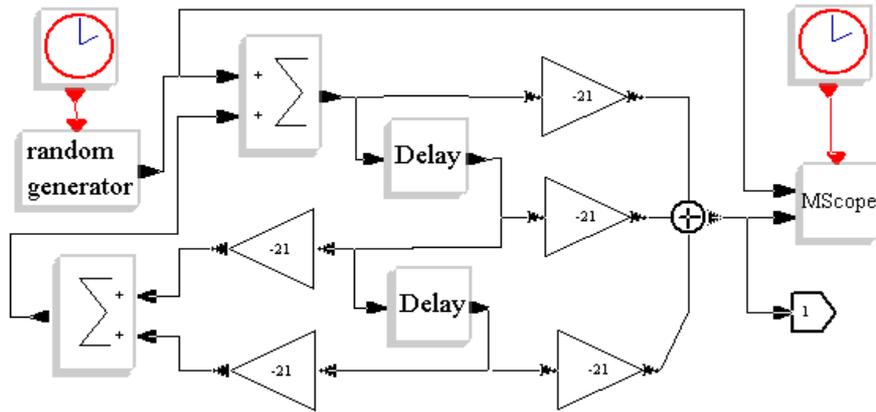


图6 随机序列信号 IIR 滤波器模型图 (EDA Model Builder 运行时截图)

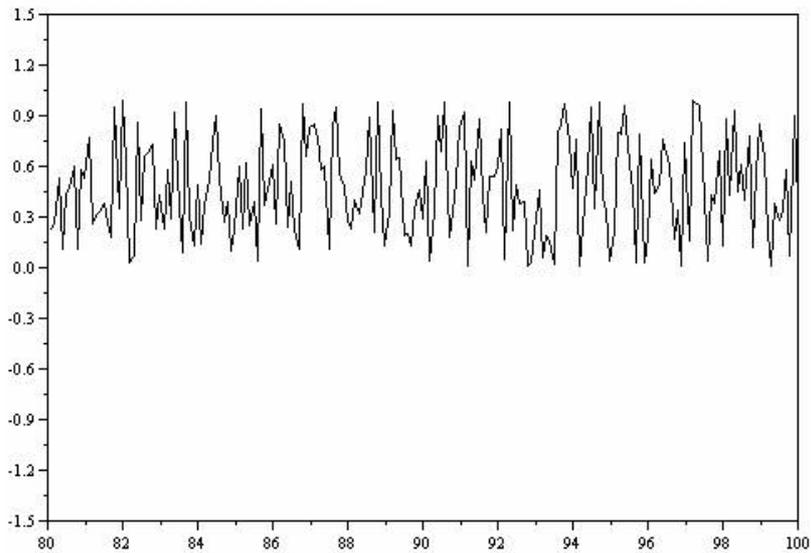


图7 原始的随机序列信号

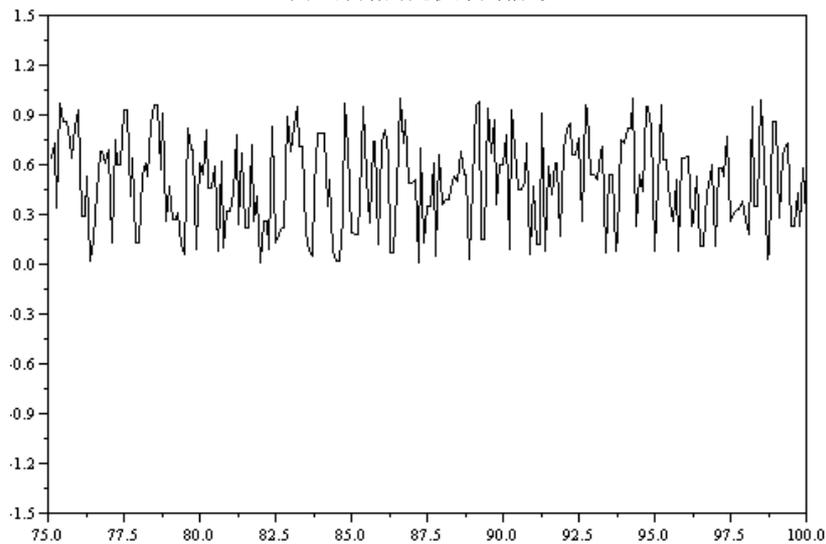


图8 原始信号加噪声干扰后的经 IIR 滤波结果

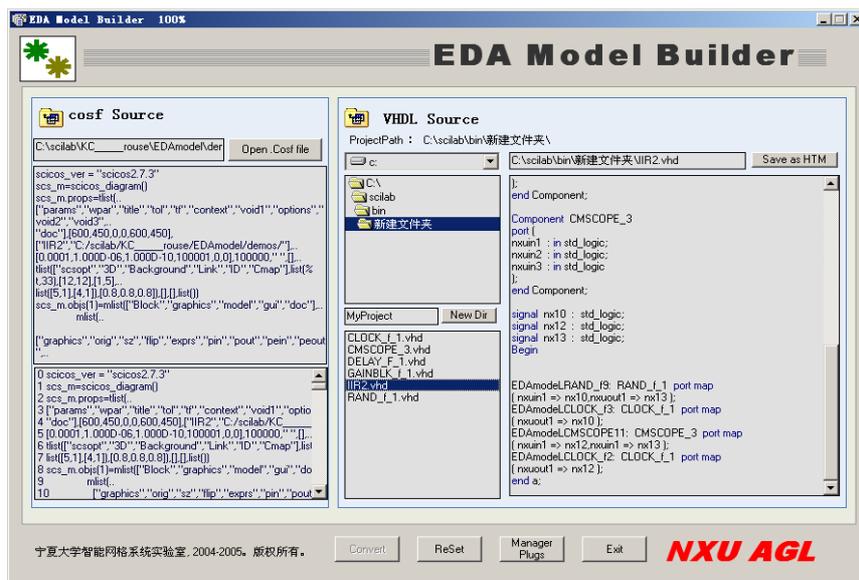


图9 COFS to VHDL 编译器操作界面

IIR 滤波器转换生成的 VHDL 代码片断如下：

```

Library IEEE;          --调用 IEEE 标准库

use IEEE.std_logic_1164.all;

use IEEE.std_logic_arith.all;

use IEEE.std_logic_unsigned.all;

entity IIR2 is          --实体端口信号定义
port (
  nxuin1:in std_logic;
  nxuout1:out std_logic;
  reset : in std_logic;
  clk : in std_logic

```

```

);
end IIR2;
architecture a of IIR2 is
Component GAINBLK_f_1
port (
nxuin1 : in std_logic;
nxuout1 : out std_logic
);
end Component;

```

对于 EDA Model Builder 生成的 IIR 滤波器 VHDL 代码，我们采用了第三方 EDA 工具综合结果 Synplify Pro 7.1 对其进行验证、综合。仿真和综合结果表明该 IIR 滤波器的设计是正确的，可以达到设计目标。由于其 EDA 基础模块库的行为级描述和 VHDL\GATE 描述是单独的，有利于建立精确的系统级数学模型和生成可综合 VHDL 代码。

3. 结论

本文介绍了一种基于 Scilab 的数字电路设计工具的设计与实现方法，目前 EDA 技术应用广泛，但是开放源码的 EDA 工具却很少，因此开发开放源码的硬件设计工具是很有意义的。该软件作为 OPEN SOURCE，以期为中国集成电路产业发展做出贡献。

本文作者创新点在于提出和实现了一种基于 Scilab/Scicos 的 HDL 建模和仿真工具，其原形系统曾在第四届 SCILAB Contest 获得三等奖 (<http://lis.buaa.edu.cn/scilab05/prize.htm>)。

参考文献

- [1] <http://www-rocq.inria.fr/scilab>
- [2] 方钰,黄建文. Scilab/Scicos/在硬件软件联合设计中的应用[J]计算机工程 ,2002, (06) .
- [3] 石晓郁,. 片上系统设计中的事务级建模方法. 微计算机信息 ,2006, (05)
- [4] 王红,邢建辉,杨士元,. SOC 测试访问机制[J]微计算机信息 ,2006, (02) .
- [5] 王国章,刘战,须自明,于宗光,. 一种新的硬件设计方法—结构化 ASIC 技术[J]微计算机信息 ,2006, (02) .
- [6] 冯江,王晓燕,谢旭红,卢宏,. IC 设计中的 VHDL 语言应用研究[J]微计算机信息 ,2006, (02) .
- [7] 胡包钢、赵星、康孟珍等 科学计算自由软件 Scilab 教程 165-203 清华大学出版社 2003.1
- [8] SjolholmS,LindhL.用 VHDL 设计电子线路[M].边计年,薛宏熙译.北京:清华大学出版社,2000.